



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Group Art Unit: 2811

Examiner: Unassigned

In Re PATENT APPLICATION OF:

Applicants : Teruhisa OBARA)

Serial No. : 10/649,765)

Filed : August 28, 2003)

For : SEMICONDUCTOR INTEGRATED)
CIRCUIT WITH A TEST CIRCUIT)

Attorney Ref. : OKI 368)

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Submitted herewith is a certified copy of applicant's first-filed Japanese Application No. 2002-257007, filed September 2, 2002, the rights of priority of which have been and are claimed pursuant to the provisions of 35 U.S.C. §119.

It is respectfully requested that receipt of this priority document be acknowledged.

Respectfully submitted,

Steven M. Rabin (Reg. No. 29,102)
RABIN & BERDO, P.C.
(Customer No. 23995)
Telephone: (202) 371-8976
Telefax: (202) 408-0924

April 30, 2004
Date

SMR:vm

FEE ENCLOSED: \$
Please charge any further
fee to our Deposit Account
No. 18-0002

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 9月 2日

出 願 番 号
Application Number:

特願2002-257007

[ST.10/C]:

[JP2002-257007]

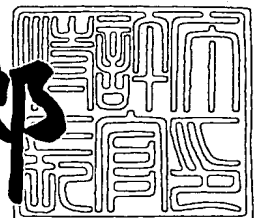
出 願 人
Applicant(s):

沖電気工業株式会社

2003年 1月14日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3105326

【書類名】 特許願

【整理番号】 KA003856

【提出日】 平成14年 9月 2日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 G06F 11/22
G01R 31/28

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社
社内

【氏名】 小原 輝久

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100086807

【弁理士】

【氏名又は名称】 柿本 恭成

【手数料の表示】

【予納台帳番号】 007412

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9001054

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路とその試験方法

【特許請求の範囲】

【請求項 1】 $m \times n$ 個（但し、 m 、 n は複数）の論理回路ブロックの間をスキャンレジスタを介してチェーン状に接続し、通常動作時の通常データと試験動作時の試験データの入出力をクロック信号に同期して行う半導体集積回路において、

前記スキャンレジスタを前記 n 個の論理回路ブロック毎に分割して m 組の分割チェーンを構成すると共に、

前記試験動作時に、前記クロック信号の m 倍の周波数を有する通倍クロック信号に同期して直列に与えられる前記試験データを、該通倍クロック信号に従って m 個の並列データに変換して前記 m 組の分割チェーンの各先頭のスキャンレジスタに与える直列並列変換回路と、

前記試験動作時に、前記 m 組の分割チェーンの各後尾のスキャンレジスタから出力されるデータを並列に入力し、前記通倍クロック信号に従って直列データに変換して出力する並列直列変換回路とを、

設けたことを特徴とする半導体集積回路。

【請求項 2】 前記クロック信号の周波数を m 倍に通倍して前記通倍クロック信号を生成する通倍回路を設けたことを特徴とする請求項 1 記載の半導体集積回路。

【請求項 3】 $m \times n$ 個（但し、 m 、 n は複数）の論理回路ブロックの間をスキャンレジスタを介してチェーン状に接続し、通常動作時の通常データと試験動作時の試験データの入出力をクロック信号に同期して行う半導体集積回路の試験方法において、

前記スキャンレジスタを前記 n 個の論理回路ブロック毎に分割して m 組の分割チェーンを構成し、

前記クロック信号の m 倍の周波数を有する通倍クロック信号に同期して直列に与えられる前記試験データを、該通倍クロック信号に従って m 個の並列データに変換して前記 m 組の分割チェーンの各先頭のスキャンレジスタに与える、

ことを特徴とする半導体集積回路の試験方法。

【請求項 4】 請求項 3 記載の半導体集積回路の試験方法において、前記 m 組の分割チェーンの各後尾のスキャンレジスタから出力されるデータを、前記通倍クロック信号に従って直列データに変換して出力することを特徴とする半導体集積回路の試験方法。

【請求項 5】 前記クロック信号の周波数を m 倍に通倍して前記通倍クロック信号を生成することを特徴とする請求項 3 または 4 記載の半導体集積回路の試験方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

【 0 0 0 2 】

本発明は、スキャンレジスタによる試験回路を備えた半導体集積回路と、その試験方法に関するものである。

【 0 0 0 3 】

【従来の技術】

【 0 0 0 4 】

【特許文献 1】

【 0 0 0 5 】

特開 2 0 0 0 - 2 5 8 5 0 0 号公報

【 0 0 0 6 】

半導体集積回路の試験技術として、この集積回路の機能動作を行う複数の論理回路ブロックの間にスキャンレジスタを挿入しておき、試験時にこれらのスキャンレジスタをチェーン状に接続して各論理回路ブロックに試験用のデータを与えたり、各論理回路ブロックの出力データを取り出すシフトスキャン方式と呼ばれるものがある。

【 0 0 0 7 】

図 2 は、従来のシフトスキャン方式の試験回路を備えた半導体集積回路の構成図である。

【 0 0 0 8 】

この半導体集積回路は、 n 個の論理回路ブロック (LOG) 1_i (但し、 $i = 1 \sim n$) を有しており、この論理回路ブロック 1_i と論理回路ブロック 1_{i+1} の間がスキャンレジスタ (SR) 2_i で接続されると共に、論理回路ブロック 1_n の出力側にスキャンレジスタ 2_n が接続されている。

【 0 0 0 9 】

各スキャンレジスタ 2_i は、モード信号 MD に従って入力信号を切り替えるセレクトと、このセレクトで選択された信号をクロック信号 CK のタイミングで保持して出力するフリップフロップで構成されている。セレクトの第 1 及び第 2 の入力側は、前段の論理回路ブロック 1_i の出力側と入力側にそれぞれ接続されている。また、フリップフロップの出力側は、後段の論理回路ブロック 1_{i+1} の入力側に接続されている。

【 0 0 1 0 】

なお、初段の論理回路ブロック 1_1 の入力側とスキャンレジスタ 2_1 の第 2 の入力側には、それぞれ入力データ DI と試験入力データ TI が与えられるようになっている。また、最終段のスキャンレジスタ 2_n の出力側からは出力データ DO と試験出力データ TO が出力されるようになっている。

【 0 0 1 1 】

このような半導体集積回路では、モード信号 MD を通常動作モードに設定することにより、各スキャンレジスタ 2_i のセレクトが第 1 の入力側に切り替えられる。これにより、 n 個の論理回路ブロック $1_1 \sim 1_n$ がスキャンレジスタ $2_1 \sim 2_n$ を介して直列に接続され、クロック信号 CK のタイミングに従って同期動作が行われる。

【 0 0 1 2 】

一方、モード信号 MD を試験動作モードに設定すると、各論理回路ブロック 1_i が切り離され、スキャンレジスタ $2_1 \sim 2_n$ が縦続接続されたスキャンチェーンが構成される。ここで、クロック信号 CK を与えることにより、試験入力データ TI を順次スキャンレジスタ $2_1 \sim 2_n$ にシフトして保持させると共に、これらのスキャンレジスタ $2_1 \sim 2_n$ に保持されているデータを、試験出力データ T

○として直列に読み出すことができる。これにより、各論理回路ブロック 1_i に任意の試験データを与えたり、これらの各論理回路ブロック 1_i の処理結果のデータを読み出すことができる。

【0013】

しかし、このようなシフトスキャン方式の試験回路では、論理回路ブロックの数が多くなると、これに従ってスキャンチェーンを構成するスキャンレジスタの数も多くなり、試験データの入力や出力に時間がかかるという問題があった。

【0014】

このような問題を解決するための試験回路を有する半導体集積回路が、前記特許文献1に記載されている。

【0015】

図3は、前記公報に記載された従来の半導体集積回路の構成図である。

【0016】

この半導体集積回路は、被検査回路102と、スキャンデータ入力端子151、152と、スキャンデータ出力端子161、162と、結線変更回路103と、符号圧縮回路104とで構成されている。

【0017】

被検査回路102は、複数のスキャンチェーン110、120、130、140をもち、それぞれスキャンレジスタ111～113、121～123、131～133、141～143がスキャンデータの入力と出力が可能ないように接続されている。また、被検査回路102は、組み合わせ回路的に独立した部分回路171、172をもち、スキャンチェーン110、120は部分回路171に、スキャンチェーン130、140は部分回路172に、それぞれ属している。

【0018】

結線変更回路103は、スキャンデータ入力端子151が分岐点153でスキャンチェーン110と130に分岐し、スキャンデータ入力端子152が、分岐点154でスキャンチェーン120と140に分岐する。符号圧縮回路104は、スキャンチェーン110と130の排他的論理を論理ゲート163でとってスキャンデータ出力端子161に出力し、スキャンチェーン120と140の排他

的論理を論理ゲート 1 6 4 でとってスキャンデータ出力端子 1 6 2 に出力するようになっている。

【 0 0 1 9 】

このような半導体集積回路では、例えば、スキャンデータ入力端子 1 5 1 に入力されたスキャンデータは、2つのスキャンチェーン 1 1 0, 1 3 0 に同時に与えられる。そして、これらのスキャンチェーン 1 1 0, 1 3 0 を順次シフトして転送されたスキャンデータは、論理ゲート 1 6 3 で排他的論理がとられてスキャンデータ出力端子 1 6 1 から出力される。これにより、被検査回路 1 0 2 であるスキャンチェーン 1 1 0 ~ 1 4 0 の検査を短時間に行うことができる。

【 0 0 2 0 】

【発明が解決しようとする課題】

【 0 0 2 1 】

しかしながら、従来の半導体集積回路では、次のような課題があった。

【 0 0 2 2 】

例えば、図 2 の半導体集積回路では、前述したように回路規模の増加に伴って、試験データの入力や出力に時間がかかるという問題があった。また、図 3 の半導体集積回路では、2つのスキャンチェーン 1 1 0, 1 3 0 に同じスキャンデータを入力しており、個々のスキャンレジスタ 1 1 1 ~ 1 1 3, 1 3 1 ~ 1 3 3 に任意のデータを保持させることはできない。このため、各論理回路に任意の試験データを与えてその論理回路の動作を試験することはできなかった。

【 0 0 2 3 】

本発明は、前記従来技術が持っていた課題を解決し、試験時間の短縮が可能なシフトスキャン方式の試験回路を備えた半導体集積回路を提供するものである。

【 0 0 2 4 】

【課題を解決するための手段】

【 0 0 2 5 】

前記課題を解決するために、本発明の内の第 1 の発明は、 $m \times n$ 個（但し、 m , n は複数）の論理回路ブロックの間をスキャンレジスタを介してチェーン状に接続し、通常動作時の通常データと試験動作時の試験データの入出力をクロック

信号に同期して行う半導体集積回路において、前記スキャンレジスタを前記 n 個の論理回路ブロック毎に分割して m 組の分割チェーンを構成すると共に、前記試験動作時に、前記クロック信号の m 倍の周波数を有する通倍クロック信号に同期して直列に与えられる前記試験データを、該通倍クロック信号に従って m 個の並列データに変換して前記 m 組の分割チェーンの各先頭のスキャンレジスタに与える直列並列変換回路と、前記試験動作時に、前記 m 組の分割チェーンの各後尾のスキャンレジスタから出力されるデータを並列に入力し、前記通倍クロック信号に従って直列データに変換して出力する並列直列変換回路とを設けている。

【0026】

第2の発明は、第1の発明に、クロック信号の周波数を m 倍に通倍して通倍クロック信号を生成する通倍回路を設けている。

【0027】

第3の発明は、 $m \times n$ 個の論理回路ブロックの間をスキャンレジスタを介してチェーン状に接続し、通常動作時の通常データと試験動作時の試験データの入出力をクロック信号に同期して行う半導体集積回路の試験方法において、前記スキャンレジスタを前記 n 個の論理回路ブロック毎に分割して m 組の分割チェーンを構成し、前記クロック信号の m 倍の周波数を有する通倍クロック信号に同期して直列に与えられる前記試験データを、該通倍クロック信号に従って m 個の並列データに変換して前記 m 組の分割チェーンの各先頭のスキャンレジスタに与えるようにしている。

【0028】

第4の発明は、第3の発明に加えて、前記 m 組の分割チェーンの各後尾のスキャンレジスタから出力されるデータを、前記通倍クロック信号に従って直列データに変換して出力するようにしている。

【0029】

第5の発明は、第3または第4の発明において、クロック信号の周波数を m 倍に通倍して通倍クロック信号を生成するようにしている。

【0030】

本発明によれば、次のような作用が行われる。

【 0 0 3 1 】

試験動作時に、クロック信号の m 倍の周波数を有する通倍クロック信号に同期して試験データが直列に与えられると、この試験データが通倍クロック信号によって m 個の並列データに変換され、 m 組の分割チェーンの各先頭のスキャンレジスタに与えられる。一方、この m 組の分割チェーンの各後尾のスキャンレジスタからそれぞれ並列に出力されるデータは、通倍クロック信号に従って直列データに変換される。

【 0 0 3 2 】

【 発明の実施の形態 】

【 0 0 3 3 】

(第 1 の実施形態)

【 0 0 3 4 】

図 1 は、本発明の第 1 の実施形態を示す半導体集積回路の構成図である。

【 0 0 3 5 】

この半導体集積回路は、シフトスキャン方式の試験回路を備えたもので、この集積回路の機能動作を行う複数（例えば、8 個）の論理回路ブロック 1 1 ~ 1 8 と、これらの論理回路ブロック 1 1 ~ 1 8 の出力側に接続されたスキャンレジスタ 2 1 ~ 2 8 と、クロック信号 CK から 2 倍の周波数の通倍クロック信号 CKD を生成する通倍回路 3 0 と、直列並列変換回路 (S/P) 4 0 と、並列直列変換回路 (P/S) 5 0 を有している。

【 0 0 3 6 】

各スキャンレジスタ 2 1 ~ 2 8 はいずれも同様の構成で、例えばスキャンレジスタ 2 1 に示すように、モード信号 MD に従って入力信号を切り替えるセレクタ (SL) 2 1 a と、このセレクタ 2 1 a で選択された信号をクロック信号 CK のタイミングで保持して出力するフリップフロップ (FF) 2 1 b で構成されている。

【 0 0 3 7 】

また、直列並列変換回路 4 0 は、通倍回路 3 0 で生成された通倍クロック信号 CKD に同期して直列に入力される試験入力データ TI を、並列データ $S 4 1$,

S 4 2 に変換して出力するものである。直列並列変換回路 4 0 は、2 つのフリップフロップ 4 1, 4 2 を縦続接続して構成され、初段のフリップフロップ 4 1 の入力側に試験入力データ T I が与えられ、同じ通倍クロック信号 C K D で入力側の信号を保持して出力するものである。フリップフロップ 4 1, 4 2 の各出力側から、並列データ S 4 1, S 4 2 が、それぞれ出力されるようになっている。

【 0 0 3 8 】

初段の論理回路ブロック 1 1 の入力側には、入力データ D I が与えられるようになっており、この論理回路ブロック 1 1 の出力側が、スキャンレジスタ 2 1 のセクタ 2 1 a の第 1 の入力側に接続されている。また、スキャンレジスタ 2 1 のセクタ 2 1 a の第 2 の入力側には、直列並列変換回路 4 0 の並列データ S 4 1 が与えられるようになっている。

【 0 0 3 9 】

スキャンレジスタ 2 1 から出力される信号 S 2 1 は、図示していないが、次段の論理回路ブロック 1 2 の入力側とスキャンレジスタ 2 2 の第 2 の入力側に与えられ、この論理回路ブロック 1 2 の出力信号が、スキャンレジスタ 2 2 の第 1 の入力側に与えられるようになっている。

【 0 0 4 0 】

同様に、スキャンレジスタ 2 2 の信号 S 2 2 は、論理回路ブロック 1 3 とスキャンレジスタ 2 3 の第 2 の入力側に与えられ、この論理回路ブロック 1 3 の出力信号が、スキャンレジスタ 2 3 の第 1 の入力側に与えられるようになっている。更に、スキャンレジスタ 2 3 の信号 S 2 3 は、論理回路ブロック 1 4 とスキャンレジスタ 2 4 の第 2 の入力側に与えられ、この論理回路ブロック 1 4 の出力信号が、スキャンレジスタ 2 4 の第 1 の入力側に与えられるようになっている。

【 0 0 4 1 】

スキャンレジスタ 2 4 の信号 S 2 4 は、論理回路ブロック 1 5 に与えられ、この論理回路ブロック 1 5 の出力信号が、スキャンレジスタ 2 5 の第 1 の入力側に与えられるようになっている。また、スキャンレジスタ 2 5 の第 2 の入力側には、直列並列変換回路 4 の並列データ S 4 2 が与えられるようになっている。

【 0 0 4 2 】

更に、スキャンレジスタ25の信号S25は、図示していないが、論理回路ブロック16とスキャンレジスタ26の第2の入力側に与えられ、この論理回路ブロック16の出力信号が、スキャンレジスタ26の第1の入力側に与えられるようになっている。スキャンレジスタ26の信号S26は、論理回路ブロック17とスキャンレジスタ27の第2の入力側に与えられ、この論理回路ブロック17の出力信号が、スキャンレジスタ27の第1の入力側に与えられるようになっている。

【0043】

スキャンレジスタ27の信号S27は、論理回路ブロック18とスキャンレジスタ28の第2の入力側に与えられ、この論理回路ブロック18の出力信号が、スキャンレジスタ28の第1の入力側に与えられるようになっている。スキャンレジスタ28の信号S28は、出力データDOとして出力される他、スキャンレジスタ24の信号S24と共に並列直列変換回路50に入力されるようになっている。

【0044】

並列直列変換回路50は、並列に入力される信号S24、S28を、通倍クロック信号CKDに従って直列の試験出力データTOとして出力するものである。並列直列変換回路50は、信号S24を通倍クロック信号CKDのタイミングで保持するフリップフロップ51、信号S28とフリップフロップ51から出力される信号S51を、クロック信号CKのレベル“H”、“L”に基づいて選択するセレクタ52、及びこのセレクタ52から出力される信号S52を、通倍クロック信号CKDのタイミングで保持し、試験出力データTOとして出力するフリップフロップ53で構成されている。

【0045】

図4は、図1の試験時の動作を示すタイミングチャートである。以下、この図4を参照しつつ、図1の動作を説明する。なお、試験時には、モード信号MDによって、すべてのスキャンレジスタ21～28が、第2の入力側に切り替えられる。

【0046】

図1のクロック信号CKは、各スキャンレジスタ21～28に与えられると共に通倍回路30に与えられ、図4に示すように、2倍の周波数の通倍クロック信号CKDが生成される。生成された通倍クロック信号CKDは、直列並列変換回路40と、並列直列変換回路50内の各フリップフロップに与えられる。

【0047】

図4の時刻 t_1 、 t_3 、 t_5 、…におけるクロック信号CKのレベル“H”，“L”の変化に同期して、直列並列変換回路40には、試験入力データTIとして、データD1、D2、D3、…が順次入力される。これにより、直列並列変換回路40のフリップフロップ41には、通倍クロック信号CKDの立上がりのタイミング t_2 、 t_4 、 t_6 、…で、順次D1、D2、D3、…と変化するデータが保持され、信号S41として出力される。

【0048】

一方、フリップフロップ42には、信号S41よりも1クロック分だけ遅れて、時刻 t_4 、 t_6 、…に、順次D1、D2、…と変化する信号S42が出力される。直列並列変換回路40の信号S41、S42は、それぞれスキャンレジスタ21、25に与えられる。

【0049】

時刻 t_5 におけるクロック信号CKの立上がりのタイミングで、信号S41、S42は、それぞれスキャンレジスタ21、25に保持される。これにより、スキャンレジスタ21、25から出力される信号S21、S25は、それぞれデータD2、D1となる。

【0050】

時刻 t_7 におけるクロック信号CKの立上がりで、データD2、D1はスキャンレジスタ22、26へシフトされ、スキャンレジスタ21、25から出力される信号S21、S25は、それぞれデータD4、D3となる。

【0051】

時刻 t_8 におけるクロック信号CKの立上がりで、データD2、D1はスキャンレジスタ23、27へシフトされると共に、データD4、D3はスキャンレジスタ22、26へシフトされ、スキャンレジスタ21、25から出力される信号

S21, S25は、それぞれデータD6, D5となる。

【0052】

時刻t9におけるクロック信号CKの次の立上がりで、データD2, D1はスキャンレジスタ24, 28へ、データD4, D3はスキャンレジスタ23, 27へ、データD6, D5はスキャンレジスタ22, 26へそれぞれシフトされる。そして、スキャンレジスタ21, 25から出力される信号S21, S25は、それぞれデータD8, D7となる。

【0053】

この状態でスキャンレジスタ28の信号S28が並列直列変換回路50のセクタ52で選択され、このセクタ52から出力される信号S52はデータD1となる。

【0054】

時刻t10において、通倍クロック信号CKDが立上がると、並列直列変換回路50のフリップフロップ51に信号S24が保持され、このフリップフロップ51の信号S51はデータD2となる。また、フリップフロップ53に保持されて出力される試験出力データTOは、データD1となる。

【0055】

時刻t11において、クロック信号CKが“L”になると、セクタ52はフリップフロップ51側に切り替えられ、このセクタ52から出力される信号S52はデータD2に変化する。

【0056】

時刻t12において、通倍クロック信号CKDが立上がると、フリップフロップ53に信号S52が保持され、このフリップフロップ53の試験出力データTOは、データD2となる。

【0057】

以上のような動作により、時刻t10以降、通倍クロック信号CKDの立上がり同期して、試験出力データTOとしてデータD1, D2, D3, …が順次出力される。

【0058】

なお、通常動作時には、モード信号MDによって各スキャンレジスタ21～28のセレクトが、第1の入力側に切り替えられ、それぞれ前段の論理回路11～18の出力信号がフリップフロップに入力される。これにより、各論理回路11～18は、それぞれスキャンレジスタ21～28のフリップフロップを介して縦続接続され、クロック信号CKに基づいた同期動作が行われる。

【0059】

以上のように、この第1の実施形態の半導体集積回路は、論理回路11～18を接続するスキャンレジスタ21～28によるスキャンチェーンを2分割し、それぞれのチェーンに試験入力データTIを直列並列変換回路40によって並列に変換して与えると共に、それぞれのチェーンから並列に出力される信号を並列直列変換回路50によって直列に変換して出力するようにしている。これにより、各スキャンレジスタ21～28へデータの書き込みと、これらのスキャンレジスタ21～28からのデータの読み出しに必要な時間を半減することができるという利点がある。

【0060】

(第2の実施形態)

【0061】

図5は、本発明の第2の実施形態を示す半導体集積回路の構成図である。

【0062】

この半導体集積回路は、集積回路の機能動作を行う $m \times n$ 個の論理回路ブロック $10_{i,j}$ (但し、 $i = 1 \sim m$ 、 $j = 1 \sim n$) と、これらの論理回路ブロック $10_{i,j}$ の間に接続されたスキャンレジスタ $20_{i,j}$ と、クロック信号CKから m 倍の周波数の逡倍クロック信号CKDを生成する逡倍回路35と、直列並列変換回路45と、並列直列変換回路55を有している。

【0063】

$m \times n$ 個の論理回路ブロック $10_{i,j}$ とスキャンレジスタ $20_{i,j}$ は、 n 個毎に分割され、 m 組の分割チェーン回路が構成されている。

【0064】

第1組の分割チェーン回路は、論理回路ブロック $10_{1,1} \sim 10_{1,n}$ をス

キャンレジスタ $20_{1,1} \sim 20_{1,n-1}$ を介して接続すると共に、論理回路ブロック $10_{1,n}$ の後段にスキャンレジスタ $20_{1,n}$ を接続したものである。先頭の論理回路ブロック $10_{1,1}$ には、入力データ DI が与えられるようになっている。また、2段目以降のスキャンレジスタ $20_{1,2} \sim 20_{1,n}$ の第2の入力側には、その前段のスキャンレジスタ $20_{1,1} \sim 20_{1,n-1}$ の出力信号が与えられるようになっている。

【0065】

第2組以降の第 i 組の分割チェーン回路もほぼ同様の構成で、論理回路ブロック $10_{i,1} \sim 10_{i,n}$ をスキャンレジスタ $20_{i,1} \sim 20_{i,n-1}$ を介して接続すると共に、論理回路ブロック $10_{i,n}$ の後段にスキャンレジスタ $20_{i,n}$ を接続したものである。但し、先頭の論理回路ブロック $10_{i,1}$ には、第 $i-1$ 組の分割チェーン回路のスキャンレジスタ $20_{i-1,n}$ の出力信号が与えられるようになっている。また、2段目以降のスキャンレジスタ $20_{i,2} \sim 20_{i,n}$ の第2の入力側には、その前段のスキャンレジスタ $20_{i,1} \sim 20_{i,n-1}$ の出力信号が与えられるようになっている。

【0066】

直列並列変換回路 45 は、通倍回路 35 で生成された通倍クロック信号 CKD に同期して直列に入力される試験入力データ TI を、 m 個の並列データ $S45_1 \sim S45_m$ に変換して出力するものである。並列データ $S45_1 \sim S45_m$ は、それぞれ各組の分割チェーン回路の先頭のスキャンレジスタ $20_{1,1} \sim 20_{m,1}$ の第2の入力側に与えられるようになっている。

【0067】

一方、各組の分割チェーン回路の最後のスキャンレジスタ $20_{1,n} \sim 20_{m,n}$ の出力信号は、並列直列変換回路 55 に並列入力信号として与えられるようになっている。並列直列変換回路 55 は、クロック信号 CK のタイミングに基づいて並列入力信号を保持し、通倍クロック信号 CKD のタイミングに基づいて、その保持した並列入力信号を直列信号に変換して試験出力データ TO として出力するものである。

【0068】

この半導体集積回路の通常動作時には、モード信号MDによって各スキャンレジスタ $20_{i,j}$ が、第1の入力側に切り替えられ、それぞれ前段の論理回路ブロック $10_{i,j}$ の出力信号が、クロック信号CKに同期してこのスキャンレジスタ $20_{i,j}$ の保持され、後段の論理回路ブロック $10_{i,j+1}$ 等へ出力される。これにより、各論理回路ブロック $10_{i,j}$ は、それぞれスキャンレジスタ $20_{i,j}$ を介して縦続接続され、クロック信号CKに基づいた同期動作が行われる。

【0069】

一方、試験動作時には、モード信号MDによって各スキャンレジスタ $20_{i,j}$ が、第2の入力側に切り替えられる。これにより、各分割チェーン回路から論理回路 $10_{i,j}$ が切り離され、直列並列変換回路45と並列直列変換回路55との間に、それぞれn個のスキャンレジスタ $20_{i,1} \sim 20_{i,n}$ が縦続接続された分割チェーン回路が、m組並列して接続される。そして、直列並列変換回路45で並列に変換されたm個の試験入力データがそれぞれ対応する分割チェーン回路に入力され、クロック信号CKに同期して順次シフトされる。更に、m組の各分割チェーン回路の最後のスキャンレジスタ $20_{1,n} \sim 20_{m,n}$ の出力信号は、並列直列変換回路55に与えられ、この並列直列変換回路55において通倍クロック信号CKDによって直列に変換され、試験出力データTOとして出力される。

【0070】

以上のように、この第2の実施形態の半導体集積回路は、論理回路ブロック $10_{i,j}$ を接続するスキャンレジスタ $20_{i,j}$ によるスキャンチェーンをm分割し、それぞれの分割チェーンに試験入力データTIを直列並列変換回路45によって並列に変換して与えると共に、それぞれの分割チェーンから並列に出力される信号を並列直列変換回路55によって直列に変換して出力するようにしている。これにより、各スキャンレジスタ $20_{i,j}$ へデータの書き込みと、これらのスキャンレジスタ $20_{i,j}$ からのデータの読み出しに必要な時間を $1/m$ に低減することができるという利点がある。

【0071】

なお、本発明は、上記実施形態に限定されず、種々の変形が可能である。この変形例としては、例えば、次のようなものがある。

【0072】

(a) スキャンレジスタ21等の構成は、図1中に例示したようなセレクタとフリップフロップを組み合わせたものに限定されない。

【0073】

(b) クロック信号CKを逡倍して逡倍クロック信号CKDを生成する逡倍回路30、35を有しているが、外部の試験装置等から端子を介してこの逡倍クロック信号CKDが与えられる場合には、逡倍回路は不要である。

【0074】

【発明の効果】

【0075】

以上詳細に説明したように、第1及び第3の発明によれば、 n 個の論理回路ブロック毎にスキャンレジスタを分割して m 組の分割チェーンを構成し、逡倍クロック信号に従って試験データを m 個の並列データに変換して各分割チェーンの先頭のスキャンレジスタに与えるようにしている。これにより、チェーンの長さが $1/m$ になり、試験データの転送時間を短縮することができる。

【0076】

第2及び第5の発明によれば、クロック信号を逡倍して逡倍クロック信号を生成するようにしている。これにより、外部から逡倍クロック信号を供給する必要がなくなり、試験のための外部端子の数の増加を抑えることができる。

【0077】

第1及び第4の発明によれば、 m 組の分割チェーンの各後尾のスキャンレジスタから出力されるデータを、逡倍クロック信号に従って直列データに変換して出力するようにしている。これにより、試験データの出力端子が1つで済み、試験のための外部端子の数の増加を抑えることができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態を示す半導体集積回路の構成図である。

【図 2】

従来の半導体集積回路の構成図である。

【図 3】

従来の半導体集積回路の構成図である。

【図 4】

図 1 の試験時の動作を示すタイミングチャートである。

【図 5】

本発明の第 2 の実施形態を示す半導体集積回路の構成図である。

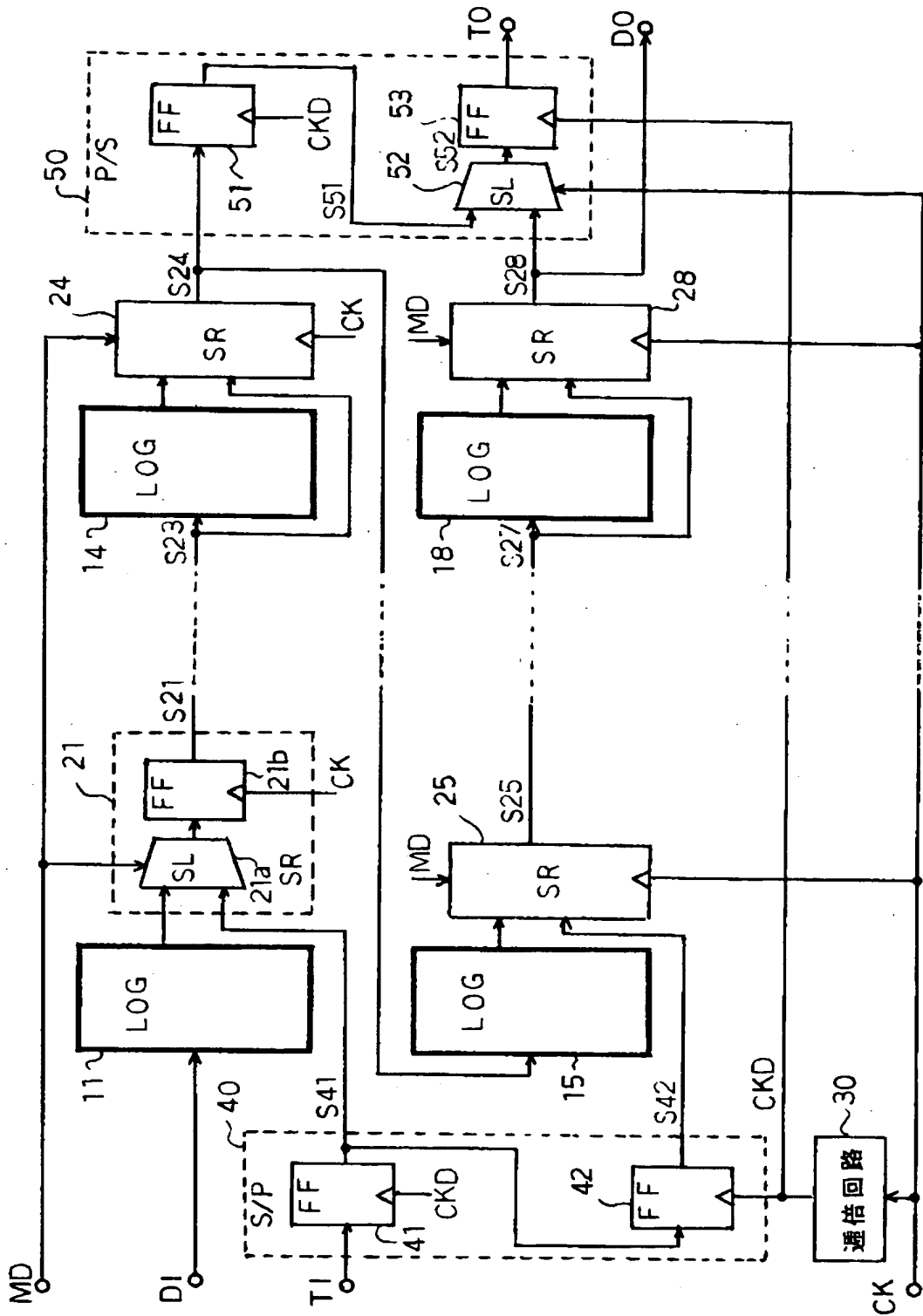
【符号の説明】

- | | |
|---------------------------------|----------|
| 1 0 _{i, j} , 1 1 ~ 1 8 | 論理回路ブロック |
| 2 0 _{i, j} , 2 1 ~ 2 8 | スキャンレジスタ |
| 3 0, 3 5 | 通倍回路 |
| 4 0, 4 5 | 直列並列変換回路 |
| 5 0, 5 5 | 並列直列変換回路 |

【書類名】

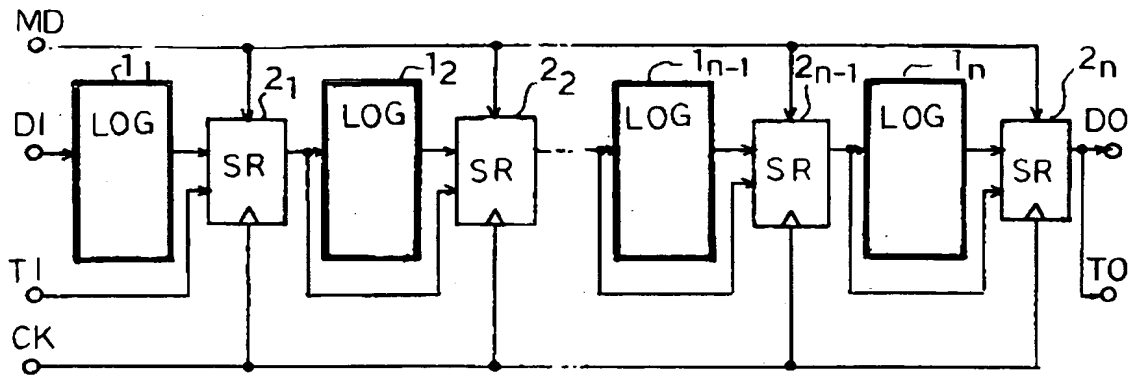
図面

【図 1】



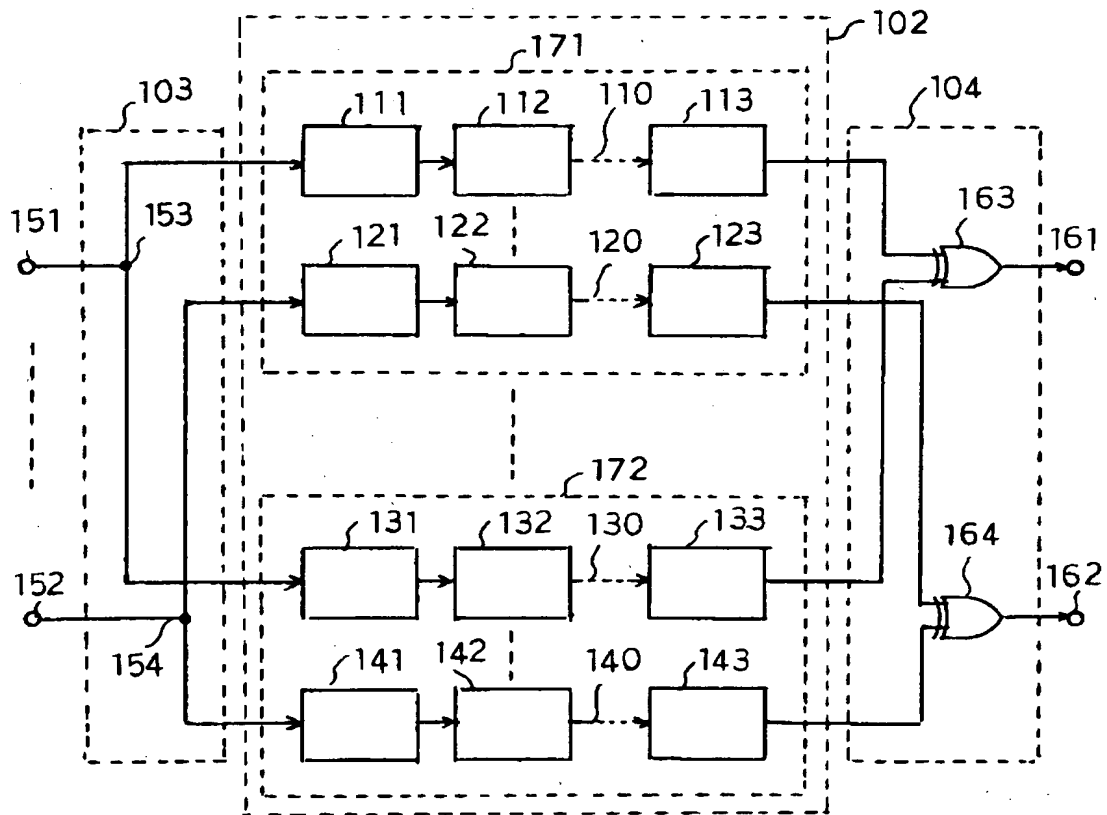
本発明の第 1 の実施形態の半導体集積回路

【図2】



従来の半導体集積回路

【図3】



従来の半導体集積回路

【図 4】

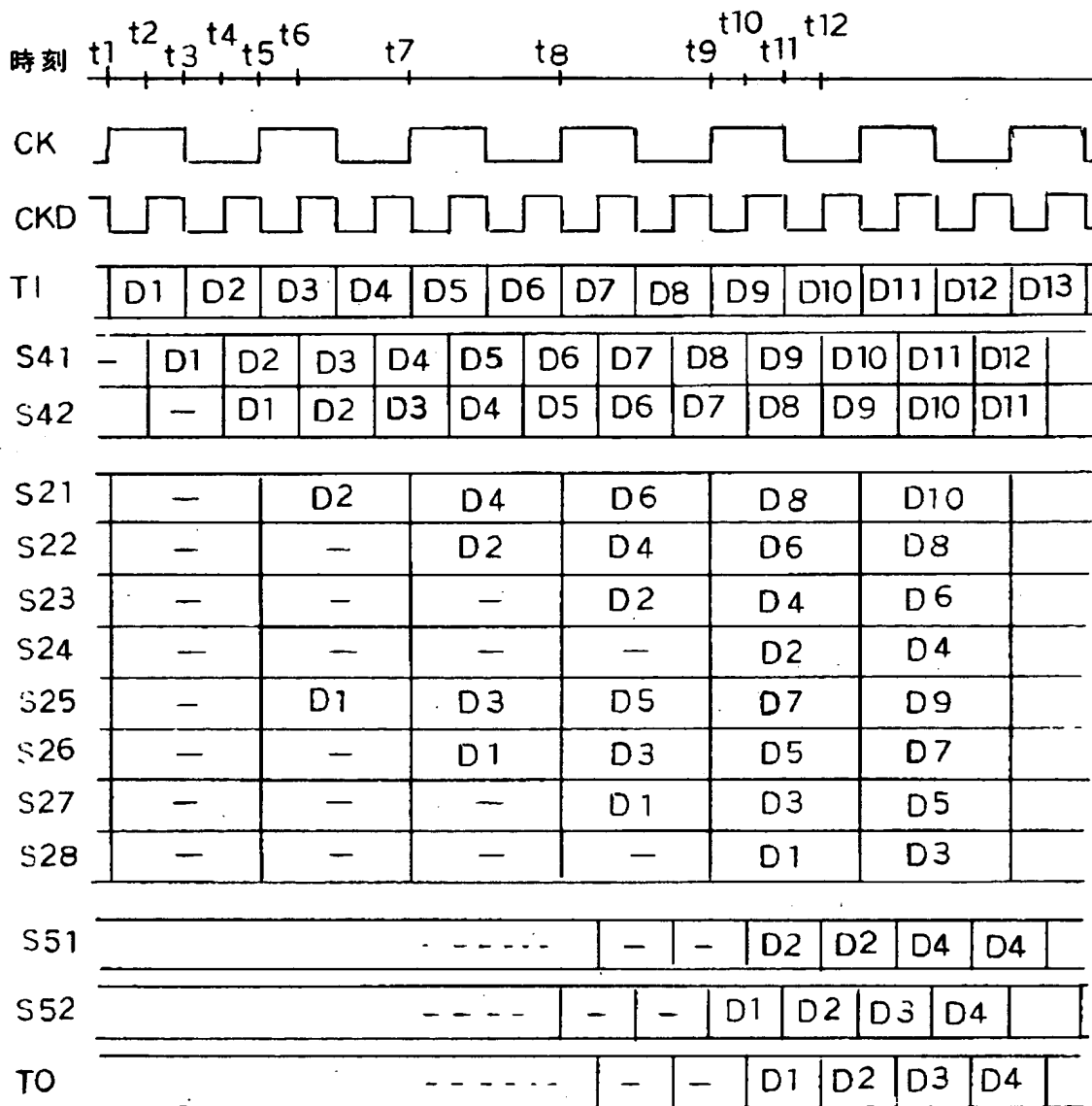
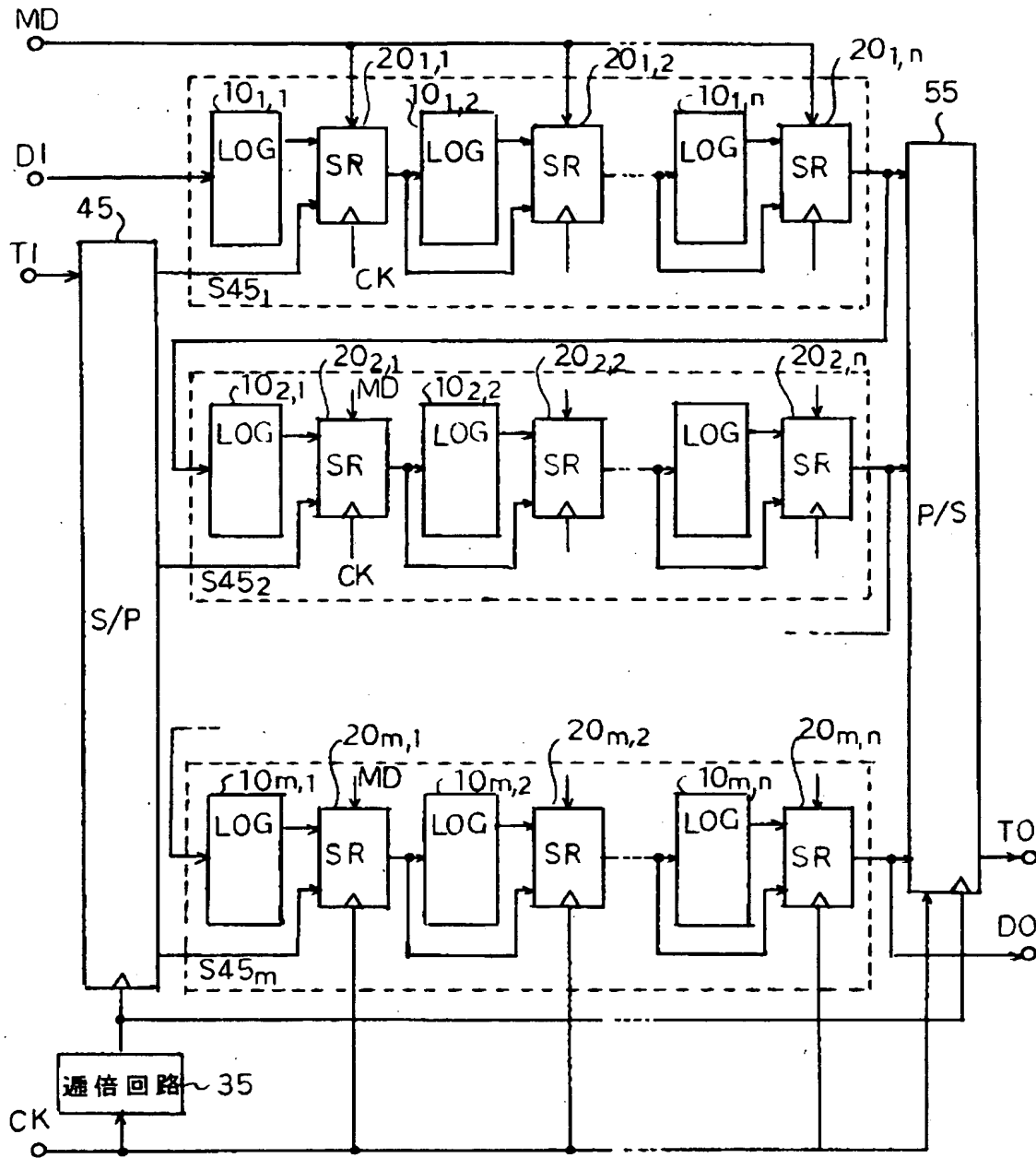


図 1 の試験時の動作

【図 5】



本発明の第 2 の実施形態の半導体集積回路

【書類名】 要約書

【要約】

【課題】 試験時間の短縮が可能なシフトスキャン方式の試験回路を備えた半導体集積回路を提供する。

【解決手段】 論理回路ブロック 1 1 ～ 1 8 とその後段に接続されたスキャンレジスタ 2 1 ～ 2 8 からなるシフトスキャンのチェーンは、スキャンレジスタ 2 1 ～ 2 4 と、スキャンレジスタ 2 5 ～ 2 8 の分割チェーンに分けられる。試験動作時には、試験入力データ T I がクロック信号 C K の 2 倍の通倍クロック信号 C K D に同期して与えられ、直列並列変換回路 4 0 で並列データ S 4 1, S 4 2 に変換されて、各分割チェーンの先端のスキャンレジスタ 2 1, 2 5 に与えられる。これにより、分割チェーンの長さが $1/2$ になり、試験時間が短縮できる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住 所 東京都港区虎ノ門1丁目7番12号
氏 名 沖電気工業株式会社